

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

拒絶理由通知書

特許出願の番号	平成11年 特許願 第375831号
起案日	平成16年 1月27日
特許庁審査官	彦田 克文 9182 5X00
特許出願人代理人	高橋 詔男(外 3名) 様
適用条文	第29条第2項

<<<< 最 後 >>>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

<刊行物一覧>

1. 特開平11-17132号公報
2. 特開平11-136121号公報
3. 特開平9-200036号公報

・請求項1について：対応する刊行物は1
(備考)

刊行物1の図4と説明文(本文第38欄～第42欄)には、以下のような発明が記載されている。

隣接するメモリセル領域間に設けられ、少なくとも一つ以上のPMOSトランジスタ)図4では、「40」という数字が付されている。)と少なくとも一つ以上のNMOSトランジスタ(「41、42」という数字が付されている。)とで構成されるデコーダ回路であって、該デコーダ回路の中に用いられているPMOSトランジスタやNMOSトランジスタのゲート幅方向が、ワード線の延在方向

と垂直になるように配置されている（例えば、デコーダ17を構成するPMOSトランジスタ40のゲート電極32を参照。このトランジスタのゲート幅方向は、この図における垂直方向であるから、ワード線MWL、SWLの延在方向に対しても垂直な方向である。）ことを特徴とする半導体集積回路。

・本願請求項1に係る発明と刊行物1に記載された上記発明とに、格別な相違は認められない。

・請求項2：刊行物は1、2

（備考）

刊行物2の図2と説明文（本文第45欄～第46欄）にも記載されているように、一般にPMOSトランジスタやNMOSトランジスタからなる論理回路を構成する際に、これらトランジスタをゲート幅方向と同じ方向に対向配置する（図2において、例えば「低しきい値の第1、第2のNMOSトランジスタ」のゲート電極13、14を参照。この図に記載された「高しきい値のPMOSトランジスタ」や「低しきい値のPMOSトランジスタ」や「高しきい値のNMOSトランジスタ」や「低しきい値のNMOSトランジスタ」は、各トランジスタのゲート幅方向と同じ方向に配置されていると言える。）ことは周知技術である。

そしてこの周知技術を刊行物1の図4に記載された前記発明に適用すること（すなわち、刊行物1の図4に記載された発明では、各デコーダ[14～17]を構成するPMOSトランジスタとNMOSトランジスタとが、ワード線MWL、SWLと水平方向に配置されているが、これを、上記刊行物2に記載された周知技術を適用し、トランジスタのゲート幅方向と同じ方向に各トランジスタを配置するように設計を変更することによって、結果として各トランジスタをワード線MWL、SWLと垂直な方向となるように配置すること）に、格別な困難性は認められない。

よって、本願請求項2に係る発明は、刊行物1記載の発明と刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項3：刊行物は1、2

（備考）

刊行物1の図4と説明文（本文第38欄～第42欄）には、以下のような発明が記載されている。

隣接するメモリセル領域間に設けられ、少なくとも一つ以上のPMOSトランジスタ（図4では、「40」という数字が付されている。）と少なくとも一つ以上のNMOSトランジスタ（「41、42」という数字が付されている。）とで構成されるデコーダ回路。

本願請求項3に係る発明と刊行物1の図4に記載された上記発明には、下記のような相違点が認められる。

すなわち、本願請求項3に係る発明では、デコーダ領域に設けられた「pチャネル型MOS電界効果トランジスタ」と「nチャネル型MOS電界効果トランジスタ」とがワード線の延在方向と垂直な方向に対向配置されるのに対し、刊行物1の図4に記載された発明では、PMOSTランジスタとNMOSTランジスタは、ワード線MWL、SWLと水平方向に配置されている点。

しかし、刊行物2の図2と説明文（本文第45欄～第46欄）にも記載されているように、一般にPMOSTランジスタやNMOSTランジスタからなる論理回路を構成する際に、これらトランジスタをゲート幅方向と同じ方向に対向配置することは周知技術である。

そしてこの周知技術を刊行物1の図4に記載された前記発明に適用することにより、格別な困難性は認められないから、本願請求項2に係る発明は、刊行物1記載の発明と刊行物2記載の周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

・請求項4～6：刊行物は1～3

（備考）

刊行物3の図7や図11とそれらの説明文（本文第32欄～第33欄、第38欄）にも記載されているように、デコード回路として、NAND、AND、NOR論理回路などの回路を採用することは周知技術である。

本願請求項4～6に係る発明は、刊行物1記載の発明と、刊行物2、3に記載された各周知技術とに基づいて、当業者が容易に発明することができたものと認められる。

この拒絶理由通知書中で指摘した請求項以外の請求項（7～10）に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

最後の拒絶理由通知とする理由

1. 最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。

先行技術文献調査結果の記録

・調査した分野 I P C 第 7 版
H 0 3 K 1 9 / 0 0

・先行技術文献

○特開平 8 - 1 8 0 2 0 号公報 (図 1 参照。ゲート電極を屈曲する技術が記載。
本願図 3 に記載された実施例の関連する先行技術文献。)

○特開平 6 - 1 3 5 7 4 号公報 (図 1 参照。コの字形のゲート電極に関する先行
技術文献。)

○特開平 1 1 - 3 1 7 5 0 5 号公報 (図 3 参照。デコーダ回路 4 の中に、主電源
線 5 a、5 b と、副電源線 6 a、6 b とが設けられている。本願請求項 7 ~ 1 0
に関連する先行文献。)

○特開平 1 1 - 3 4 0 4 3 8 号公報 (チップ全体に渡り、電源線を網状に配線す
る技術が記載。同じく本願請求項 7 ~ 1 0 に関連する先行文献。)

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。